



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0020536
Application Number

출 원 년 월 일 : 2003년 04월 01일
Date of Application APR 01, 2003

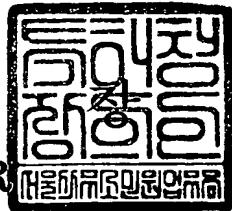
출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 02 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.04.01
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법
【발명의 영문명칭】	METHOD OF DRIVING PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	송준원
【성명의 영문표기】	SONG, Jun Weon
【주민등록번호】	731004-1068711
【우편번호】	138-796
【주소】	서울특별시 송파구 잠실6동 장미아파트 8동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	강정원
【성명의 영문표기】	KANG, Jung Won
【주민등록번호】	670717-1047721
【우편번호】	140-728
【주소】	서울특별시 용산구 이촌동 한가람아파트 212동 1503호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)

1020030020536

출력 일자: 2004/2/24

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	21	면	21,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	15	항	589,000 원
【합계】		639,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 방전효율을 높일 수 있을 뿐만 아니라 오방전을 방지할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 어드레스 기간동안 셀을 선택하기 위한 어드레스 방전이 발생되는 단계와, 서스테인 기간동안 주사전극에 제 1 전압부터 제 2 전압으로 떨어지는 제 1 서스테인 펄스가 공급되는 단계와, 서스테인 기간동안 제 1 서스테인 펄스와 교번적으로 제 1 전압부터 제 2 전압까지 떨어지는 제 2 서스테인 펄스가 유지전극에 공급되는 단계와, 서스테인 기간 이후 주사전극에 부극성의 전압값을 갖는 소거펄스가 공급되는 단계를 포함한다.

【대표도】

도 11

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동방법{METHOD OF DRIVING PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀를 나타내는 사시도이다.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 단면도이다.

도 3은 도 1에 도시된 플라즈마 디스플레이 패널의 한 프레임을 나타내는 도면이다.

도 4는 도 1에 도시된 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이다.

도 5b는 도 5a의 발광영역에 따른 전압분포를 나타내는 도면이다.

도 6은 본 발명의 실시 예에 따른 양광주영역구조에서 방전 흐름을 보여주는 도면이다.

도 7a 내지 7c는 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전개시 및 유지를 나타내는 도면이다.

도 8a 및 8b는 종래의 전극구조와 양광주영역 전극구조의 효율을 보여주는 그래프이다.

도 9는 도 6에 도시된 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 10a 내지 10f는 도 9의 구동파형에 따른 벽전하 형성과정을 보여주는 도면이다.

도 11은 도 6에 도시된 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 다른 구동방법을 나타내는 파형도이다.

도 12a 및 12b는 도 11의 구동파형에 따른 벽전하 형성과정을 보여주는 도면이다.

도 13a 및 9의 파형을 적용할 경우 벽전하의 소거가 안되서 생기는 오방전을 보여주는 도면.

도 13b는 도 11의 파형을 적용할 경우 벽전하가 완전히 소거되어 오방전이 발생하지 않는 것을 보여주는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기판 18 : 하부기판

Y : 주사전극 Z : 유지전극

X : 어드레스 전극 12Y, 12Z : 투명전극

13Y, 13Z : 금속버스전극 14 : 상부 유전체층

16 : 보호막 22 : 하부 유전체층

24 : 격벽 26 : 형광체층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<23> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 방전효율을 높일 수 있을 뿐만 아니라 오방전을 방지할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

<24> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생되는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

<25> 도 1은 통상적으로 교류형 PDP에 매트릭스 형태로 배열되어진 방전셀 구조를 나타내는 사시도이고, 도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 단면도이다.

<26> 도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사전극(Y) 및 유지전극(Z)과, 하부기판(17) 상에 형성되어진 어드레스전극(X)을 구비한다. 주사전극(Y)과 유지전극(Z) 각각은 투명전극(12Y, 12Z)과, 투명전극(12Y, 12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(13Y, 13Z)을 포함한다.

<27> 투명전극(12Y, 12Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함)로 상부기판(10) 상에 형성된다. 금속버스전극(13Y, 13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y, 12Z) 상에 형성되어 저항이 높은 투명전극(12Y, 12Z)에 의한 전압강하를 줄이는 역할을 한다. 주사전극(Y)과 유지전극(Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(X)은 주사전극(Y) 및 유지전극(Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(10, 18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스가 주입된다.

<28> 이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 도 3에서처럼 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.66ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 및 어

드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

<29> 도 4는 종래 기술에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

<30> 도 4를 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 전화면을 초기화시키기 위한 리셋기간(RPD), 셀을 선택하기 위한 어드레스 기간(APD) 및 선택된 셀의 방전을 유지시키기 위한 서스테인 기간(SPD)으로 나뉘어 구동된다.

<31> 리셋기간(RPD)에 있어서, 셋업기간(Set-up)에는 모든 주사전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 미약한 방전이 일어나게 되어 셀들 내에 벽전하가 생성된다. 셋다운기간(Set-down)에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)이 주사전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 셋업방전에 의해 생성된 벽전하 및 공간전하 중 불요전하를 소거시키게 되고 전화면의 셀들 내에 어드레스 방전에 필요한 벽전하를 균일하게 잔류시키게 된다.

<32> 어드레스기간(APD)에는 부극성(-)의 스캔펄스(SP)가 주사전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성(+)의 데이터펄스(DP)가 인가된다. 이 스캔펄스(SP)와 데이터펄스(DP)의 전압차와 리셋기간(RPD)에 생성된 벽전압이 더해지면서 데이터펄스(DP)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다.

<33> 서스테인기간(SPD)에는 주사전극들(Y)과 유지전극들(Z)에 교번적으로 서스테인펄스(SUSPy, SUSPz)가 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(SUSPy, SUSPz)가 더해지면서 매 서스테인펄스(SUSPy, SUSPz)가 인가될 때 마다 주사전극(Y)과 유지전극(Z) 사이에 면방전 형태로 서스테인방전이 일어나게 된다.

<34> 이러한 서스테인 기간(SPD)에 이은 소거기간(EPD)에서는 유지전극(Z)에 소거펄스(EP)를 공급하여 유지되던 방전이 중지되게 한다. 소거펄스(EP)는 발광크기가 작게끔 램프파 형태를 가지거나 방전 소거를 위해 $1\mu s$ 정도의 짧은 펄스폭을 가지게 된다. 이러한 소거펄스(EP)에 의한 짧은 소거방전으로 하전입자들이 소거되어 방전이 중지된다.

<35> 도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이고, 도 5b는 도 5a의 발광영역에 따른 전압분포를 나타내는 도면이다.

<36> 도 5a 및 5b를 참조하면, 서스테인 방전 시 PDP 셀내부의 방전공간에서 발광현상이 발생하는 영역이 구분되어 도시되어 있다. 도 5a에 도시된 바와 같이 음극(예를들면, 유지전극(Z))과 양극(예를들면, 주사전극(Y)) 사이에 소정의 전압을 인가하면, 양 전극간에는 전자의 방출에 의한 방전이 일어나게 된다. 이때, 음극에서 방출된 1차전자들은 양 전극간에 인가된 전계에 의해 가속을 받아서 중성입자들과 충돌하여 새로운 전자(즉, 2차전자)를 생성시키게 된다. 2차 전자는 전압의 변화가 큼에 따라 전계의 크기가 상대적으로 큰 도 5b의 A 부분에서 강하게 가속받는다. 이러한 2차 전자는 이온화를 진행하면서 에너지를 계속 얻어 도 5b의 B영역에 도달한다. 도 5b의 B영역에서 2차전자는 더 이상 에너지를 얻지 못하고 충돌에 의해 중성입자에 에너지를 전달하는데 이 과정에서 여기된 입자들이 바닥상태로 떨어지면서 가시광선과 진공자외선을 발생하는데 이 영역은 도 5a에 도시된 바와같이 부글로우(Negative Glow) 영역(2)이라 불리운다. 이 부글로우 영역(2)을 지난 전자들은 에너지가 매우 약하여 전체적으로

균일한 플라즈마 상태를 나타내는데 이 영역은 도 5a에 도시된 바와 같이 양광주(Positive Column)영역(4)이라 불리운다. 이 양광주영역(4)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기 시켜서 발광을 하게된다. 이 양광주영역(4)에서 이온화는 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다고 알려져 있다.

<37> 그러나, 종래의 3전극 구조는 주사전극(Y) 및 유지전극(Z)간의 간격이 좁기 때문에 방전효율이 좋은 양광주영역(Positive Column)을 넓게 형성할 수 없다. 따라서, 종래의 3전극 구조는 방전효율이 떨어지는 단점이 있다. 이에따라, 양광주영역(Positive Column)을 넓게 형성시킬 수 있는 구조가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<38> 따라서, 본 발명의 목적은 방전효율을 높일 수 있을 뿐만 아니라 오방전을 방지 있도록 한 플라즈마 디스플레이 패널의 구동방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<39> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 어드레스 기간동안 셀을 선택하기 위한 어드레스 방전이 발생되는 단계와, 서스테인 기간동안 스캔전극에 제 1 전압부터 제 2 전압으로 떨어지는 제 1 서스테인 펄스가 공급되는 단계와, 서스테인 기간동안 상기 제 1 서스테인 펄스와 교번적으로 상기 제 1 전압부터 제

2 전압까지 떨어지는 제 2 서스테인 펄스가 서스테인전극에 공급되는 단계와, 서스테인 기간 이후 상기 주사전극에 부극성의 전압값을 갖는 소거펄스가 공급되는 단계를 포함한다.

<40> 상기 서스테인 기간동안 상기 제 1 및 제 2 서스테인 펄스가 상기 스캔전극 및 서스테인 전극에 공급됨과 동시에 정극성의 바이아스 펄스가 어드레스전극에 공급되는 단계를 더 포함하는 것을 특징으로 한다.

<41> 상기 정극성의 바이아스 펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좁게 설정되는 것을 특징으로 한다.

<42> 상기 소거펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좁게 설정되는 것을 특징으로 한다.

<43> 상기 리셋기간은 셋업기간 및 셋다운기간으로 나뉘어 구동되며, 셋업기간동안 상기 스캔 전극에 제 1 상승램프파형이 공급되는 단계와, 셋업기간동안 상기 스캔전극과 나란하게 형성되는 상기 서스테인전극에 제 2 상승램프파형이 공급되는 단계를 더 포함하는 것을 특징으로 한다.

<44> 상기 제 1 상승램프파형과 상기 제 2 상승램프파형의 전압값은 스캔전극과 서스테인전극 간에 방전이 발생되는 것을 방지하도록 설정되는 것을 특징으로 한다.

<45> 상기 제 1 상승램프파형과 제 2 상승램프파형의 전압값은 동일하게 설정되는 것을 특징으로 한다.

<46> 상기 제 1 상승램프파형 및 제 2 상승램프파형의 최고 전압값은 350V이하로 설정되는 것을 특징으로 한다.

<47> 상기 제 2 상승램프파형이 공급된 후 상기 셋다운기간 및 어드레스기간동안 상기 서스테인전극에 정극성의 직류전압이 공급되는 것을 특징으로 한다.

<48> 상기 정극성의 직류전압의 전압값은 상기 제 2 상승램프파형의 전압값과 동일하게 설정되는 것을 특징으로 한다.

<49> 상기 정극성의 직류전압의 최고 전압값은 350V이하로 설정되는 것을 특징으로 한다.

<50> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<51> 이하, 도 6 내지 도 13b를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<52> 도 6은 본 발명에 따른 PDP의 단면도를 나타내는 도면이다.

<53> 도 6를 참조하면, 본 발명에 따른 3전극 교류 면방전형 PDP의 방전셀은 상부기판(110) 상에 형성되어진 주사전극(Y) 및 유지전극(Z)과, 하부기판(118) 상에 형성되어진 어드레스전극(X)을 구비한다. 주사전극(Y)과 유지전극(Z) 각각은 투명전극(112Y, 112Z)과, 투명전극(112Y, 112Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(113Y, 113Z)을 포함한다.

<54> 투명전극(112Y, 112Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide)로 상부기판(110) 상에 형성된다. 금속버스전극(113Y, 113Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(112Y, 112Z) 상에 형성되어 저항이 높은 투명전극(112Y, 112Z)에 의한 전압강하를 줄이는 역할을 한다. 주사전극(Y)과 유지전극(Z)이 나란하게 형성된 상부기판(110)에는 상부 유전체층(114)과 보호막(116)이 적층된다. 상부 유전체층(114)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보

호막(116)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(114)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(116)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기판(117) 상에는 하부 유전체층(122), 격벽(도시하지않음)이 형성되며, 하부 유전체층(122)과 격벽 표면에는 형광체층(도시하지않음)이 도포된다. 어드레스전극(X)은 주사전극(Y) 및 유지전극(Z)과 교차되는 방향으로 형성된다. 격벽은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(110, 118)과 격벽 사이에 마련된 방전셀의 방전공간에는 방전을 위한 Ne+Xe 등의 불활성 혼합가스가 주입된다. 이와같은 본 발명에 따른 PDP에서는 상부기판(110) 상에 형성되어진 주사전극(Y)과 유지전극(Z)간의 간격(d)이 주사전극(Y)과 어드레스전극(X)간의 간격(L)(또는 유지전극(Z)과 어드레스전극(X)간의 간격(L))보다 크게 설정된다.

<55> 한편, 종래의 3전극 구조는 주사전극(Y)과 유지전극(Z)간의 간격이 좁아서 양광주영역(Positive Column)을 넓게 형성 시킬 수 없었다. 그러나, 본 발명에서는 주사전극(Y)과 어드레스전극(X)간의 간격은 좁게, 주사전극(Y)과 유지전극(Z)간의 간격은 넓게 설정되기 때문에 양광주영역(Positive Column)을 넓게 형성 시킬 수 있다. 이에따라, 본 발명의 구조는 종래의 3전극 구조에 비해 방전효율을 높일 수 있다. 다시말해서, 서스테인 기간동안 주사전극(Y)에 서스테인 펄스가 인가될 때 주사전극(Y) 및 유지전극(Z)간의 간격이 주사전극(Y) 및 어드레스전극(X)간의 간격보다 넓게 설정되기 때문에 주사전극(Y)과 어드레스전극(X)간의 방전이 먼저 일어난 후 주사전극(Y)과 유지전극(Z)간의 서스테인 방전이 일어난다. 즉, 주사전극(Y)과 어

드레스전극(X)간의 방전은 주사전극(Y)과 유지전극(Z)간의 방전이 보다 잘 일어날 수 있도록 트리거링 역할을 한다고 볼 수 있다.

<56> 이를 자세히 설명하면, 주사전극(Y)과 유지전극(Z)간의 간격(d)이 주사전극(Y)과 어드레스전극(X)간의 간격(L)보다 넓게 설정되기 때문에 주사전극(Y)과 어드레스전극(X)간의 전압차가 주사전극(Y)과 유지전극(Z)간의 전압차보다 높아져 도 6의 ① 방향으로 주사전극(Y)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 주사전극(Y)과 유지전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ③ 방향으로 유지전극(Z)과 어드레스전극(X)간의 대향방전이 발생된다. 이와 마찬가지로, 유지전극(Z)에 주사전극(Y)과 교변적으로 서스테인 펄스가 인가시 도 6의 ③ 방향으로 유지전극(Z)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 주사전극(Y)과 유지전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ① 방향으로 주사전극(Y)과 어드레스전극(X)간의 대향방전이 발생된다. 이와같이, 주사전극(Y)과 유지전극(Z)간의 간격(d)이 주사전극(Y)과 어드레스전극(X)의 간격(L)보다 크게 설정하여 방전 효율이 좋은 양광주영역(Positive Column)을 넓게 형성할 수 있다.

<57> 따라서, 본 발명에 따른 양광주를 이용한 PDP는 일반적인 Xe의 양을 갖는 일반구조에 많은 양의 Xe 을 적용하는 것에 준하는 높은 효율(Efficacy)을 구현할 수 있다. 이를 위하여 현재 교류형 PDP에서 사용되는 부글로우(Negative Glow) 영역

외에 낮은 필드와 높은 Xe 여기비율(Excitation Rate)의 특성을 지닌 양광주영역(Positive Column)를 적극 활용한다. 일반적으로 양광주영역(Positive Column)은 주로 $300\mu\text{m}$ 이상의 방전패스를 가질 경우에 발생하게 되며, 부글로우(Negative Glow) 영역에서의 효율이 $1\sim2 \text{ lm/W}$ 인 것에 비하여 높은 효율(대개의 경우 7 lm/W)을 보이고 있다. 양광주영역(Positive Column)의 확대를 위해 셀내에서 ITO간의 간격($=d$)을 최대화(ex. 0.81mm 픽셀 피치 기준에서 ITO 간격은 $300\mu\text{m}$ 이상)하였고, ITO간 간격의 증가에 따른 방전개시 및 유지 전압의 증가는 주사전극(Y)과 어드레스전극(X)간의 간격($=L$)을 $d > L$ 의 관계를 유지하면서, 서스테인 기간(SPD)동안 방전개시를 종래의 주사전극(Y)과 유지전극(Z) 사이가 아닌 주사전극(Y)과 어드레스전극(X)에서 발생시켜서 유지전극(Z)으로 이동시키는 것을 목표로 한다. 이를 위해 $d > L$ 관계의 설립은 필수이다. 다시 말해서, 주사전극(Y)과 유지전극(Z) 사이의 거리를 주사전극(Y)과 어드레스전극(X) 사이의 거리보다 더 넓게 하여 양광주영역(Positive Column)을 넓게 형성시켜 방전효율을 높이는 것이다.

<58> 도 7a 내지 7c는 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전개시 및 유지를 자세히 나타내는 도면이다.

<59> 도 7a 내지 7c를 참조하면, 서스테인 기간(SPD)에는 도 7a에서처럼 주사전극(Y)과 유지전극(Z)간의 거리보다 주사전극(Y)과 어드레스전극(X)간의 거리가 상대적으로 가깝기 때문에 주사전극(Y)과 유지전극(Z)간에는 면방전이 발생하지 않고, 주사전극(Y)과 어드레스전극(X)간에 미약한 대향방전이 발생한다. 그 후, 도 7b에서처럼 $d > L$ 이기 때문에 주사전극(Y)과 유지전극(Z) 사이의 전위차에 의

해서 전자들이 유지전극(Z)으로 확산하면서 양광주영역(Positive Column)을 형성하게 된다.

이후, 도 7c에서처럼 양광주영역(Positive Column)이 계속 확산되다가 끝나는 시점에서 반대극 성을 갖고 있는 전하의 축적에 의해 주사전극(Y)과 유지전극(Z)사이의 전위차가 상쇄된다. 따라서, 방전이 서서히 약해지면서 각 전극의 벽전하의 극성이 반전 혹은 중성이 된다. 이러한 양광주영역(Positive Column)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기시켜서 발광을 하게된다. 즉, 양광주영역(Positive Column)은 이온화가 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다. 따라서, 이러한 양광주영역(Positive Column)을 극대화 할 수 있다면 방전효율을 높일 수 있다. 이에따라, 양광주영역(Positive Column)의 확대를 위해 방전셀내에서 ITO 간의 간격을 최대화하여 방전효율을 높일 수 있다.

<60> 한편, 6.5 인치 테스트 샘플을 사용하여 가시적인 효율을 종래의 샘플과 비교한 결과를 보여주는 도 8을 살펴보면, Xe가 6% 주입되고 500Torr의 압력을 갖는 Xe-Ne 가스를 봉입시키고 정극성의 바이아스 펠스가 인가된 양광주영역(Positive Column) 구조는 2.0 lm/W의 효율을 갖기 위해 약 220V의 서스테인 전압이 필요하지만, Xe가 14% 주입된 Xe-Ne 가스를 봉입시킨 종래의 전극구조는 2.0 lm/W의 효율을 갖기 위해서는 약 240V의 서스테인 전압이 필요하다. 이는 양광주영역(Positive Column) 구조에서 일반구조에서는 활용하기 어려운 양광주영역(Positive Column)의 사용을 극대화하면서 효율이 개선된 예로 볼 수 있다. 부가적으로 어드레스전극(X)에 정극성의 바이아스 펠스를 인가하여 좀 더 낮은 전압에서 방전의 개시와 유지를 꾀함으로써 동일 구조에서도 10 ~ 20% 수준의 효율 개선을 가져올 수 있다.

<61> 한편, 본 발명에 따른 양광주영역(Positive Column) 구조의 경우 ITO 간격을 극대화한 것이므로 종래의 구동파형과 다른 메커니즘을 이용하여 구동을 하여야 한다. 먼저, 종래의 리

셋파형의 경우 스캔전극(Y)과 서스테인전극(Z)간의 방전을 통하여 벽전하를 형성하였지만, 본 발명에 따른 구조의 경우 스캔전극(Y)과 서스테이전극(Z)간의 간격을 극대화하여 고효율을 이용한 구조이므로 종래의 리셋파형을 인가시에 리셋전압(Vreset)이 높아지고, 그와 동시에 스캔전극(Y)과 어드레스전극(X)(또는 서스테인전극(Z)과 어드레스전극(X))간의 방전으로 인하여 리셋전압의 목적인 균일한 벽전하를 형성하는데 어려움이 생긴다. 또한, 서스테인 기간(SPD)동안 스캔전극(Y) 및 서스테인전극(Z)에 교번적으로 종래의 서스테인 펄스를 공급함과 아울러 어드레스 전극(X)에 정극성의 바아이스 펄스를 인가할 경우 필드분포가 스캔전극(Y) 및 서스테인전극(Z)과 반대가 되어 서스테인 방전에 안좋은 영향을 준다. 따라서, 종래의 서스테인 펄스와 같은 형태의 펄스가 스캔전극(Y) 및 서스테인전극(Z)에 인가함과 아울러 어드레스전극(X)에 정극성의 바아아스 펄스를 인가하기 위해서는 서스테인 펄스의 주파수와 폭을 변형 시켜야 한다. 그럴경우 각 필드의 휘도레벨특성이 달라지므로 화질적으로 안 좋은 영향을 끼친다. 본 발명에서는 종래와 같은 폭과 동일 주파수를 이용하면서도 어드레스전극(X)에 정극성의 바아아스 펄스를 인가할 수 있도록 도 9와 같은 구동파형을 인가하여야 한다.

<62> 도 9는 도 6에 도시된 본 발명의 실시 예에 따른 PDP의 구동방법을 나타내는 파형도이다.

<63> 도 9를 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 셀을 초기화시키기 위한 리셋기간(RPD), 셀을 선택하기 위한 어드레스 기간(APD) 및 선택된 셀의 방전을 유지시키기 위한 서스테인 기간(SPD)으로 나뉘어 구동된다.

<64> 리셋기간(RPD)의 셋업기간(Set-up)동안 주사전극(Y)에는 정극성의 전압(예를 들면 서스테인전압(Vs))으로부터 상승하는 제 1 상승램프파형(Ramp-up)이 공급된다. 주사전극(Y)에 제 1 상승램프파형(Ramp-up)이 공급되면 주사전극(Y)과 어드레스전극(X) 간에 미약한 방전이 발생

되고, 이 방전에 의하여 셀들내에 벽전하가 형성된다. 여기서, 주사전극(Y)이 어드레스전극(X)보다 상대적으로 높은 전압을 갖기 때문에 도 10a와 같이 주사전극(Y)에는 부극성의 벽전하가 형성되고, 어드레스전극(X)에는 정극성의 벽전하가 형성된다.

<65> 그리고, 셋업기간(Set-up)동안 유지전극(Z)에는 정극성의 전압(예를 들면, 서스테인전압(Vs))으로부터 상승하는 제 2 상승램프파형(Ramp-up)이 공급된다. 유지전극(Z)에 제 2 상승램프파형(Ramp-up)이 공급되면 유지전극(Z)과 어드레스전극(X) 간에 미약한 방전이 발생되고, 이 방전에 의하여 셀들내에 벽전하가 형성된다. 여기서, 유지전극(Z)이 어드레스전극(X)보다 상대적으로 높은 전압을 갖기 때문에 도 10a와 같이 유지전극(Z)에는 부극성의 벽전하가 형성되고, 어드레스전극(X)에는 정극성의 벽전하가 형성된다.

<66> 이때, 제 1 상승램프파형(Ramp-up)과 제 2 상승램프파형(Ramp-up)의 전압값은 방전이 발생되지 않도록 설정되기 때문에 주사전극(Y)과 유지전극(Z) 간에는 리셋방전이 발생되지 않는다. 이후, 셋다운기간(Set-down)동안 원하는 벽전하들이 잔류될 수 있도록 주사전극(Y)에 정극성의 전압으로부터 부극성의 전압으로 하강되는 하강램프파형(Ramp-down)이 공급된다. 이 부극성의 하강램프파형(Ramp-down)이 인가되면 주사전극(Y)과 유지전극(Z) 및 주사전극(Y)과 어드레스전극(X)간에 미세 방전이 발생된다. 이와 같은 미세방전에 의하여 도 10b와 같이 셋업기간(Set-up)에 형성된 벽전하 및 공간전하 중 불요전하를 소거시키게 되고 전화면의 셀들 내에 어드레스 방전에 필요한 벽전하를 균일하게 잔류시키게 된다.

<67> 즉, 본 발명의 셋업기간(Set-up)에는 주사전극(Y)과 어드레스전극(X), 유지전극(Z)과 어드레스전극(X)간에 방전을 일으켜 방전셀에 특정 극성을 갖는 벽전하를 형성한다. 한편, 제 1 상승램프파형(Ramp-up) 및 제 2 상승램프파형(Ramp-up)의 전압값은 주사전극(Y)과 유지전극(Z) 간에 방전이 일어나지 않을 정도의 전압차를 갖도록 설정된다. 예를 들어, 제 1 상승램프파형

(Ramp-up) 및 제 2 상승램프파형(Ramp-up)의 전압값이 동일하게 설정되거나, 비슷하게 설정될 수 있다. 여기서, 제 1 상승램프파형(Ramp-up) 및 제 2 상승램프파형(Ramp-up)의 최고전압값은 350V 이하, 바람직하게는 300V이하로 설정된다. 이를 상세히 설명하면, 먼저 제 1 상승 램프파형(Ramp-up)이 공급되었을 때 주사전극(Y)과 어드레스전극(X)간에 리셋방전이 일어나게 된다. 여기서, 셀의 구조가 $d > L$ 로 설정되기 때문에, 즉 주사전극(Y)과 어드레스전극(X)이 인접되게 위치되기 때문에 낮은 전압값을 가지는 제 1 상승램프파형(Ramp-up)에 의하여 주사전극(Y)과 어드레스전극(X) 간에 안정된 리셋방전이 일어날 수 있다. 마찬가지로, 유지전극(Z)에 제 2 상승램프파형(Ramp-up)이 공급되므로 주사전극(Y)과 유지전극(Z)간에 리셋방전은 일어나지 않고, 낮은 전압값을 가지는 제 2 상승램프파형(Ramp-up)에 의하여 유지전극(Z)과 어드레스전극(X)간에 안정된 리셋방전이 일어날 수 있다.

<68> 어드레스기간(APD)에는 부극성의 스캔펄스(SP)가 주사전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성의 데이터펄스(DP)가 인가된다. 이 스캔펄스(SP)와 데이터펄스(DP)의 전압차와 리셋기간(RPD)에 생성된 벽전압이 더해지면서 데이터펄스(DP)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다. 여기서, 어드레스전극(X)이 주사전극(Y)보다 상대적으로 높은 전압을 갖기 때문에 도 10c와 같이 주사전극(Y)에는 정극성의 벽전하가 형성되고, 어드레스전극(X)에는 부극성의 벽전하가 형성된다.

<69> 한편, 셋다운기간(Set-down)과 어드레스기간(ADP) 동안에 유지전극들(Z)에는 제 2 상승램프파형(Ramp-up)의 전압레벨의 정극성 직류전압이 공급된다. 이러한 정극성의 직류전압은 유지전극(Z)에 쌓여있는 부극성의 벽전하가 유지되도록 한다. 이 때, 정극성의 직류전압의 최고전압값은 350V 이하, 바람직하게는 300V이하로 설정된다.

<70> 서스테인기간(SPD)에는 주사전극들(Y)과 유지전극들(Z)에 교번적으로 서스테인 전압(Vs)으로부터 기저전위로 떨어지는 서스테인펄스(SUSPy, SUSPz)가 인가된다. 여기서, 주사전극(Y) 및 유지전극(Z)에 인가되는 서스테인 펄스(SUSPy, SUSPz)는 특정 전압부터 부극성의 전압까지 떨어지는 펄스가 될 수도 있다. 이 때, 특정 전압부터 부극성의 전압까지 떨어지는 펄스의 전압차는 서스테인 전압(Vs)값을 갖는다. 이와 동시에 어드레스전극(X)에는 정극성의 바아아스 펄스가 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 부극성의 벽전압과 부극성의 서스테인펄스(SUSPy, SUSPz)가 더해지면서 더욱 부극성이 되어 주사전극(Y) 및 유지전극(Z)과 어드레스전극(X)간의 전압차가 더욱 커지게 된다. 따라서, 서스테인 방전이 더욱 더 활성화 된다. 여기서, 주사전극(Y)이 유지전극(Z)보다 상대적으로 높은 전압을 갖기 때문에 도 10d와 같이 주사전극(Y)에는 부극성의 벽전하가 형성되고, 유지전극(Z)에는 정극성의 벽전하가 형성된다. 그 후, 유지전극(Z)에 인가된 서스테인 펄스(SUSPz)와 교번적으로 주사전극(Y)에서 서스테인 전압(Vs)으로부터 기저전위로 떨어지는 서스테인 펄스(SUSPy)가 인가됨과 동시에 어드레스 전극(X)에 정극성의 펄스 바이아스가 인가되었을 때 주사전극(Y)과 어드레스전극(X)간의 전압차에 의해 방전이 발생된다. 따라서, 주사전극(Y)과 어드레스전극(X)간에 방전이 활발하게 발생되어 주사전극(Y) 및 유지전극(Z)간의 서스테인 방전을 더욱 활성화 시키게 된다. 여기서, 유지전극(Z)이 주사전극(Y)보다 상대적으로 높은 전압을 갖기 때문에 도 10e와 같이 주사전극(Y)에는 정극성의 벽전하가 형성되고, 유지전극(Z)에는 부극성의 벽전하가 형성된다. 이렇게 교번적으로 서스테인 방전을 일으킴으로써 원하는 계조를 표시하게 된다. 마지막으로, 서스테인 방전이 완료된 후 주사전극(Y)은 서스테인 전압(Vs)에서 기저전위로 떨어진다. 이 때, 방전셀들 내에 형성된 벽전하들이 소거된다. 여기서, 소거방전에 의해 주사전극(Y) 및 유지전극(Z)에는 도 10f와 같이 일부의 벽전하만 잔류하게 된다.

<71> 하지만, 도 9와 같은 구동파형은 소거방전이 부족하여 일부의 벽전하가 남아 있게 된다. 따라서, 이러한 벽전하의 영향으로 다음 서브필드의 리셋기간에 균일한 벽전하가 형성되지 못 하므로 오방전이 발생된다. 실제로, 완전한 화이트 다음의 블랙으로 패턴을 변경시 모든 방전 셀들이 꺼져야 하는데 이전에 벽전하가 완전히 소거되지 않았으므로 잔류되어 있던 벽전하에 의해 오방전이 발생하여 꺼지지 않는 방전셀이 발생한다. 이에따라, 도 11과 같이 소거펄스를 인가한 구동파형을 적용하여 패턴 변경시 특히, 화이트 다음의 블랙으로 패턴 변경시 오방전으로 인한 문제점을 방지할 수 있다.

<72> 도 11은 도 6에 도시된 본 발명의 실시 예에 따른 PDP의 다른 구동방법을 나타내는 파형 도이다.

<73> 도 11을 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 셀을 초기화시키기 위한 리셋기간(RPD), 셀을 선택하기 위한 어드레스 기간(APD), 선택된 셀의 방전을 유지시키기 위한 서스테인 기간(SPD) 및 벽전하를 소거시키기 위한 소거기간(EPD)으로 나뉘어 구동된다.

<74> 이 때, 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)은 도 9에서 전술한 바와 같으므로 이하 생략하기로 한다.

<75> 한편, 서스테인 기간(SPD)에 이은 소거기간(EPD)에 주사전극(Y)은 서스테인 전압(Vs)에서 기저전위로 떨어진다. 이 때, 방전셀들 내에 형성된 벽전하들이 소거된다. 하지만, 주사전극(Y) 및 유지전극(Z)에는 도 12a와 같이 일부의 벽전하만 소거되고 일부는 잔류하게 된다. 그 후, 모든 주사전극(Y)에 부극성의 전압을 갖는 소거펄스(EP)가 인가된다. 이 때, 소거펄스(EP)의 폴스폭은 주사전극(Y) 및 유지전극(Z)에 공급되는 서스테인 폴스의 폭보다 좁게 설정된다. 이러한 부극성의 소거펄스(EP)가 주사전극(Y)에 공급되면 주사전극(Y)과 유지전극(Z)간에 소거방전이 발생되고, 도 12a의 주사전극(Y) 및 유지전극(Z)에 형성된 벽전하는 소

거되어 도 12b와 같이 미량의 벽전하만 잔류하게 된다. 따라서, 벽전하가 미약하게 남아 있게 되므로 패턴 변경이 일어나더라도 오방전은 발생되지 않는다. 특히, 완전한 화이트 다음의 블랙으로 패턴이 변경 되더라도 오방전은 발생되지 않는다. 즉, 완전한 화이트 다음의 블랙으로 패턴을 변경시 벽전하의 소거가 안되서 생기는 13a와 같은 오방전이 본 발명의 파형을 적용할 경우 벽전하가 완전히 소거되어 도 13b와 같이 오방전이 일어나지 않게 된다.

<76> 한편, 이와같은 소거펄스(EP)는 모든 서브필드에 공급되어 벽전하를 소거시킨다.

【발명의 효과】

<77> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널은 스캔전극과 서스테인전극간의 간격을 최대화하여 양광주영역을 확대시킴으로써 방전효율을 높일 수 있을 뿐만아니라 스캔전극 혹은 서스테인전극과 어드레스전극간의 리셋방전을 일으킴으로써 리셋전압을 낮추고 스캔전극 및 서스테인전극에 균일한 벽전하를 형성할 수 있다.

<78> 또한, 본 발명은 스캔전극 및 서스테인전극의 벽전하가 부극성일때 상대 준위적으로 부극성의 전압을 인가하여 서스테인 방전을 활성화 시킬 뿐만 아니라 서스테인 방전이 완료된 후 부극성의 전압을 갖는 소거펄스를 주사전극에 인가하여 잔류되어 있는 벽전하를 소거시킨다. 따라서, 패턴 변경이 일어나더라도 오방전을 방지할 수 있다. 특히, 완전한 화이트 다음의 블랙레벨로 패턴을 변경하더라도 미량의 벽전하가 잔류되어 있으므로 오방전을 방지할 수 있다.

<79> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의

1020030020536

출력 일자: 2004/2/24

상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 쳐야만
할 것이다

【특허 청구범위】**【청구항 1】**

리셋기간, 어드레스기간 및 서스테인기간을 포함한 다수의 서브필드들로 나뉘어 구동되는 플라즈마 디스플레이 패널의 구동방법에 있어서,

어드레스 기간동안 셀을 선택하기 위한 어드레스 방전이 발생되는 단계와,

서스테인 기간동안 주사전극에 제 1 전압부터 제 2 전압으로 떨어지는 제 1 서스테인 펄스가 공급되는 단계와,

상기 서스테인 기간동안 상기 제 1 서스테인 펄스와 교번적으로 상기 제 1 전압부터 제 2 전압까지 떨어지는 제 2 서스테인 펄스가 유지전극에 공급되는 단계와,

상기 서스테인 기간 이후 상기 주사전극에 부극성의 전압값을 갖는 소거펄스가 공급되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 2】

제 1 항에 있어서,

상기 서스테인 기간동안 상기 제 1 및 제 2 서스테인 펄스가 상기 스캔전극 및 서스테인 전극에 공급됨과 동시에 정극성의 바이아스 펄스가 어드레스전극에 공급되는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 3】

제 2 항에 있어서,

상기 정극성의 바이아스 펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좀 더 크게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 4】

제 1 항에 있어서,

상기 소거펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좁게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

방전셀에 나란하게 제 1 간격으로 형성된 스캔전극 및 서스테인전극과,

상기 스캔전극 및 서스테인전극간의 상기 제 1 간격보다 좁은 제 2 간격으로 상기 방전셀에 교차되게 형성되는 어드레스전극을 포함함과 아울러 리셋기간, 어드레스기간 및 서스테인기간을 포함한 다수의 서브필드로 나뉘어 구동되는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 어드레스 기간동안 셀을 선택하기 위한 어드레스 방전이 발생되는 단계와,

상기 서스테인 기간동안 스캔전극에 제 1 전압부터 제 2 전압으로 떨어지는 제 1 서스테인 펄스가 공급되는 단계와,

상기 서스테인 기간동안 상기 제 1 서스테인 펄스와 교번적으로 상기 제 1 전압부터 제 2 전압까지 떨어지는 제 2 서스테인 펄스가 서스테인전극에 공급되는 단계와,

상기 서스테인 기간 이후 상기 주사전극에 부극성의 전압값을 갖는 소거펄스가 공급되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 6】

제 5 항에 있어서,

상기 서스테인 기간동안 상기 제 1 및 제 2 서스테인 펄스가 상기 스캔전극 및 서스테인 전극에 공급됨과 동시에 정극성의 바이아스 펄스가 어드레스전극에 공급되는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 7】

제 6 항에 있어서,

상기 정극성의 바이아스 펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좀게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 8】

제 5 항에 있어서,

상기 소거펄스의 폭은 상기 제 1 및 제 2 서스테인 펄스의 폭보다 좀게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 9】

제 5 항에 있어서,

상기 리셋기간은 셋업기간 및 셋다운기간으로 나뉘어 구동되며,

상기 셋업기간동안 상기 스캔전극에 제 1 상승램프파형이 공급되는 단계와,

상기 셋업기간동안 상기 스캔전극과 나란하게 형성되는 상기 서스테인전극에 제 2 상승 램프파형이 공급되는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 10】

제 9 항에 있어서,

상기 제 1 상승램프파형과 상기 제 2 상승램프파형의 전압값은 스캔전극과 서스테인전극 간에 방전이 발생되는 것을 방지하도록 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 11】

제 10 항에 있어서,

상기 제 1 상승램프파형과 제 2 상승램프파형의 전압값은 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 12】

제 11 항에 있어서,

상기 제 1 상승램프파형 및 제 2 상승램프파형의 최고 전압값은 350V이하로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 13】

제 9 항에 있어서,

상기 제 2 상승램프파형이 공급된 후 상기 셋다운기간 및 어드레스기간동안 상기 서스테인전극에 정극성의 직류전압이 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 14】

제 13 항에 있어서,

상기 정극성의 직류전압의 전압값은 상기 제 2 상승램프파형의 전압값과 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

1020030020536

출력 일자: 2004/2/24

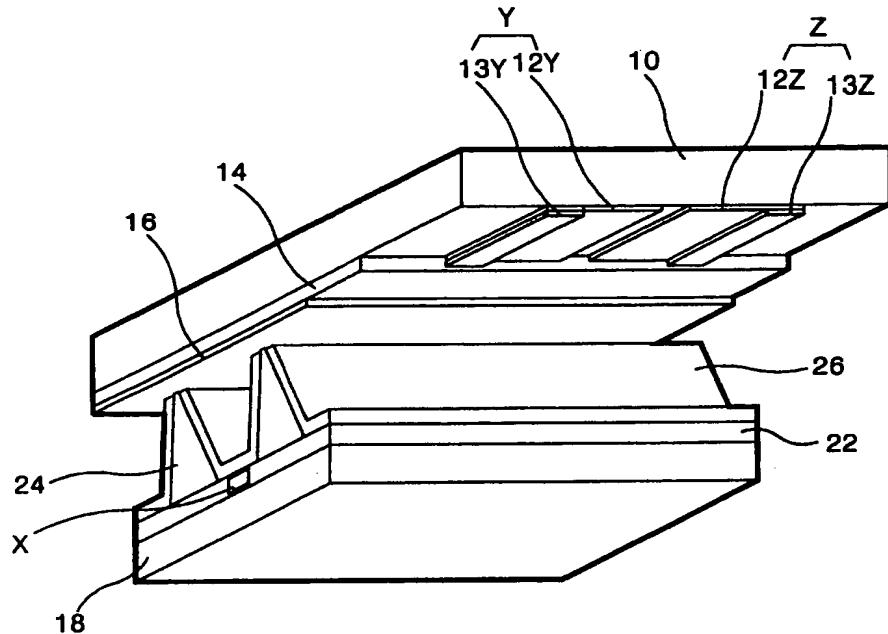
【청구항 15】

제 14 항에 있어서,

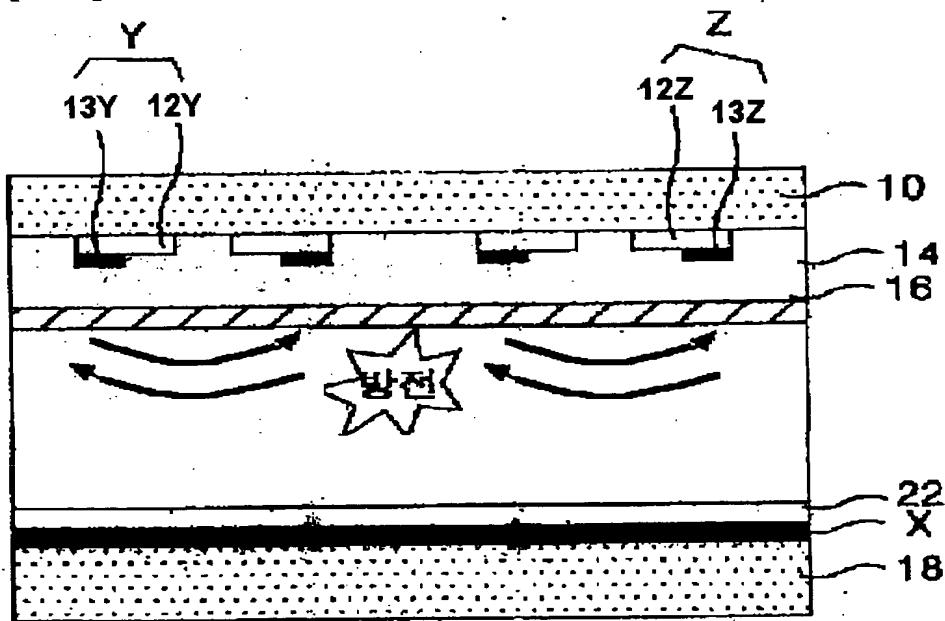
상기 정극성의 직류전압의 최고 전압값은 350V이하로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【도면】

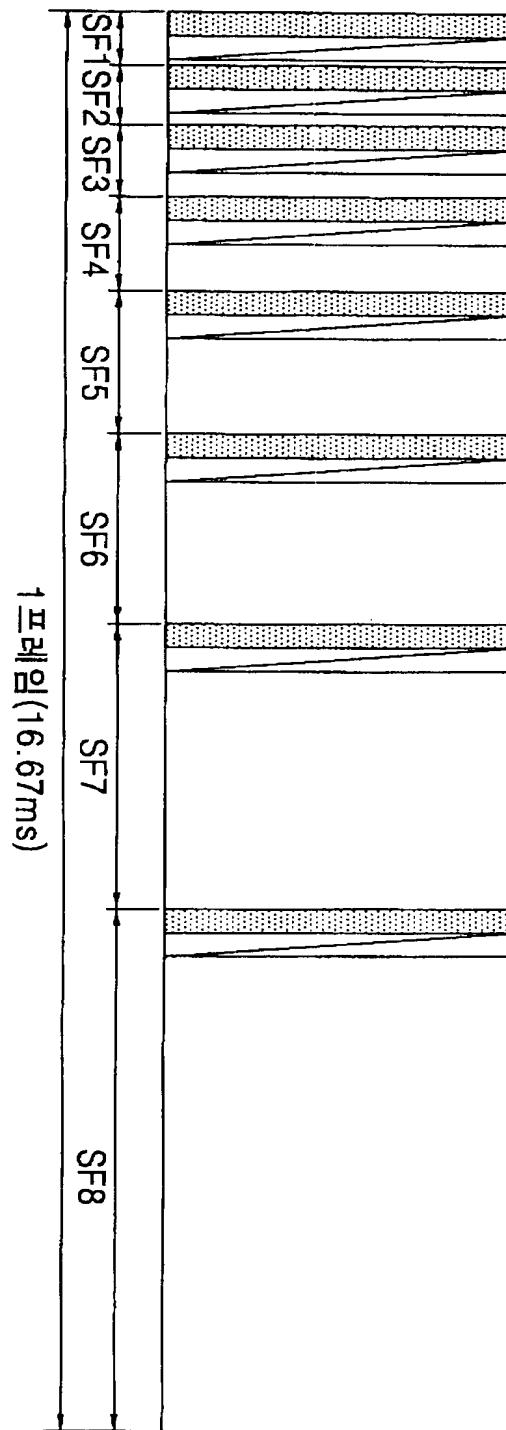
【도 1】



【도 2】



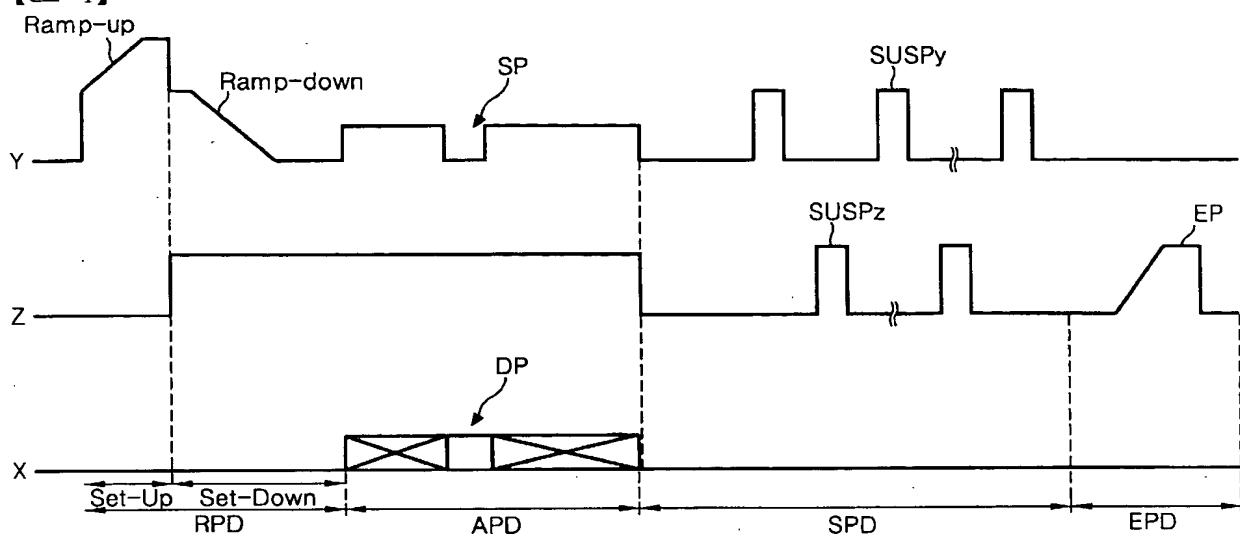
【도 3】



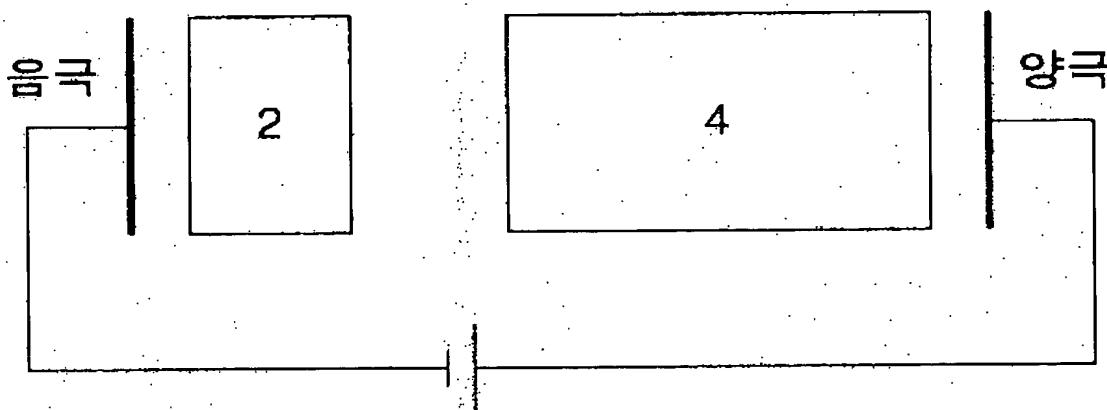
1020030020536

출력 일자: 2004/2/24

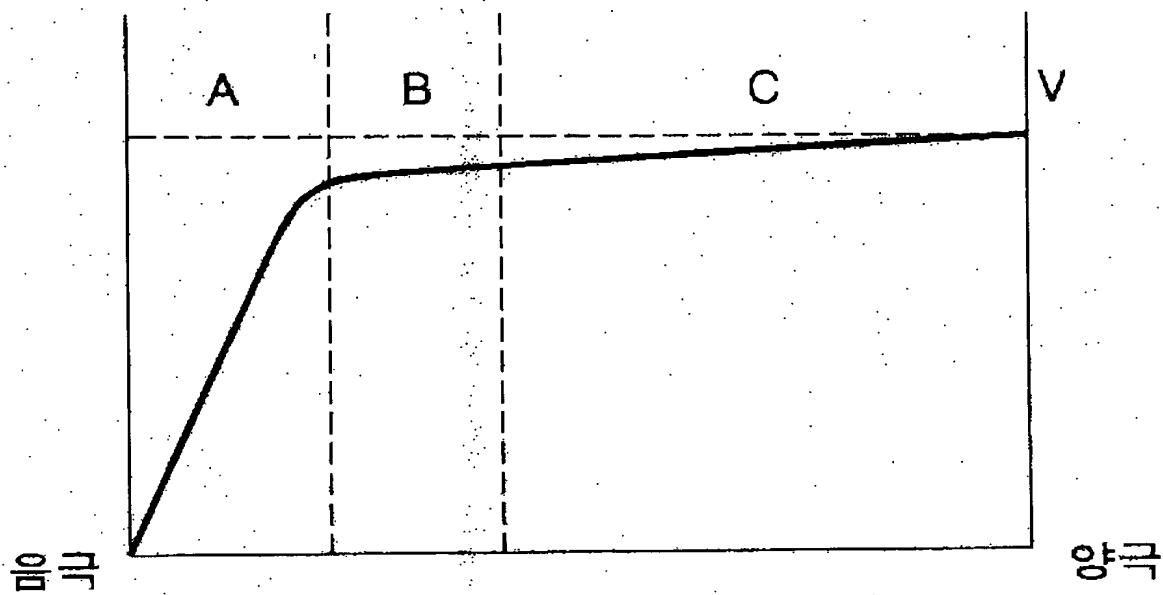
【도 4】



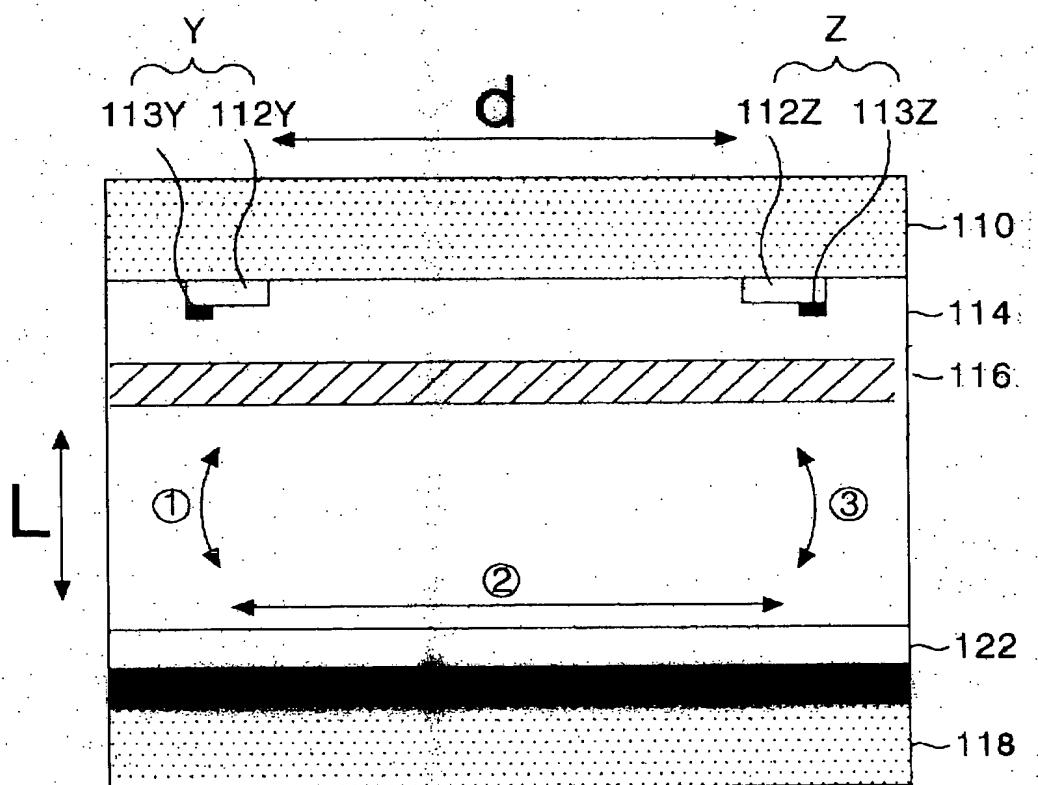
【도 5a】



【도 5b】



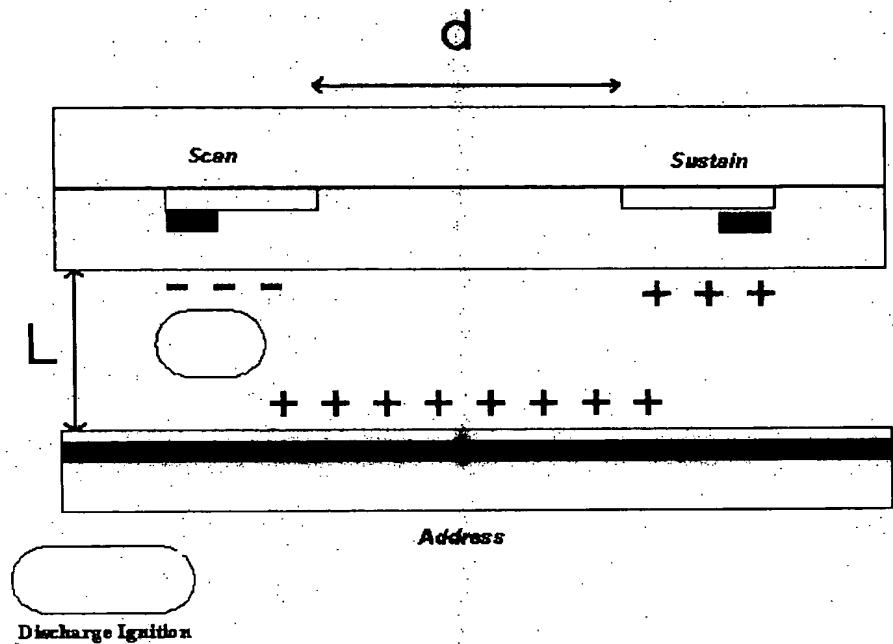
【도 6】



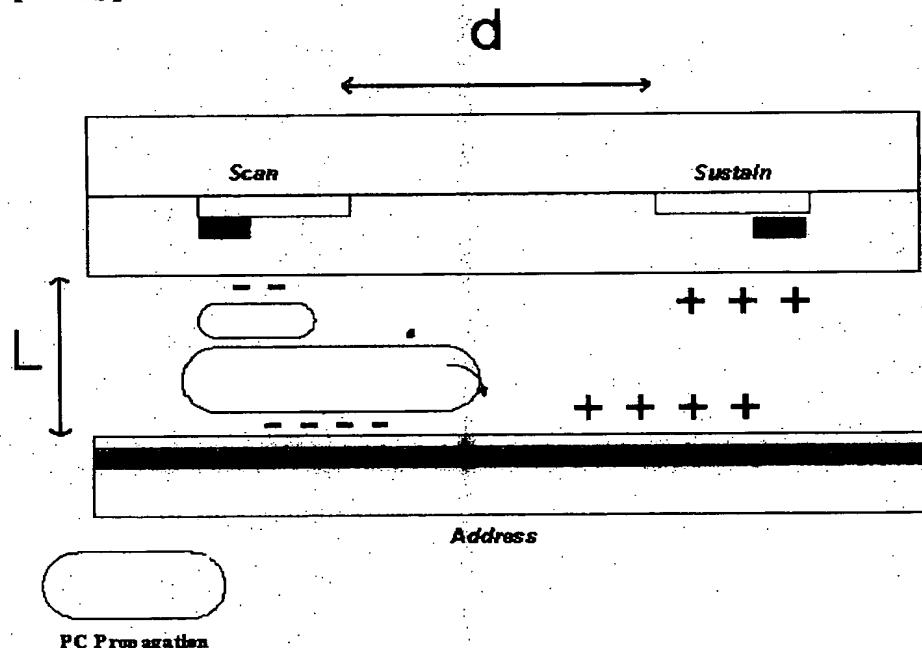
1020030020536

출력 일자: 2004/2/24

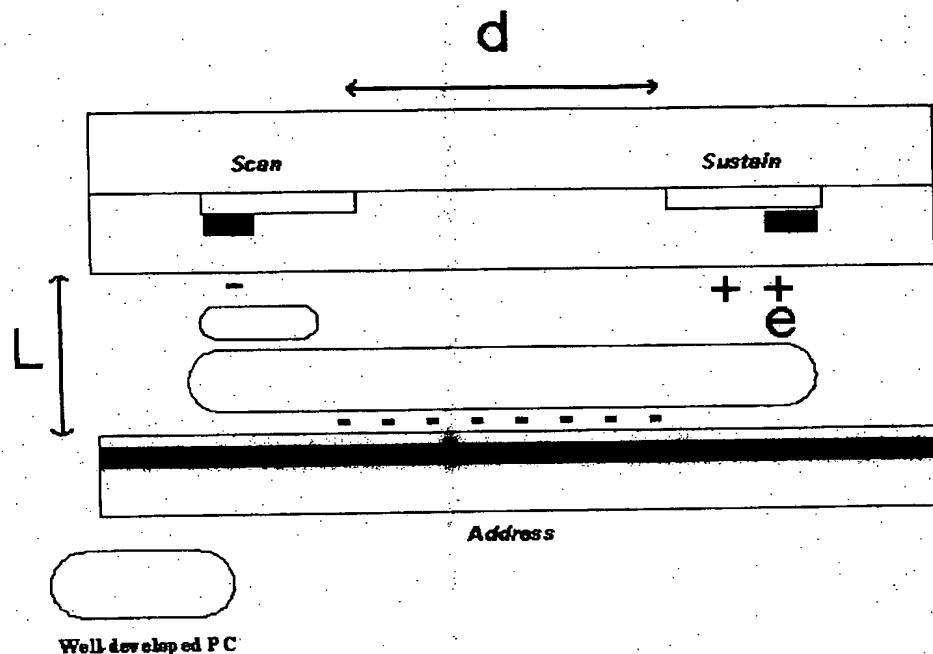
【도 7a】



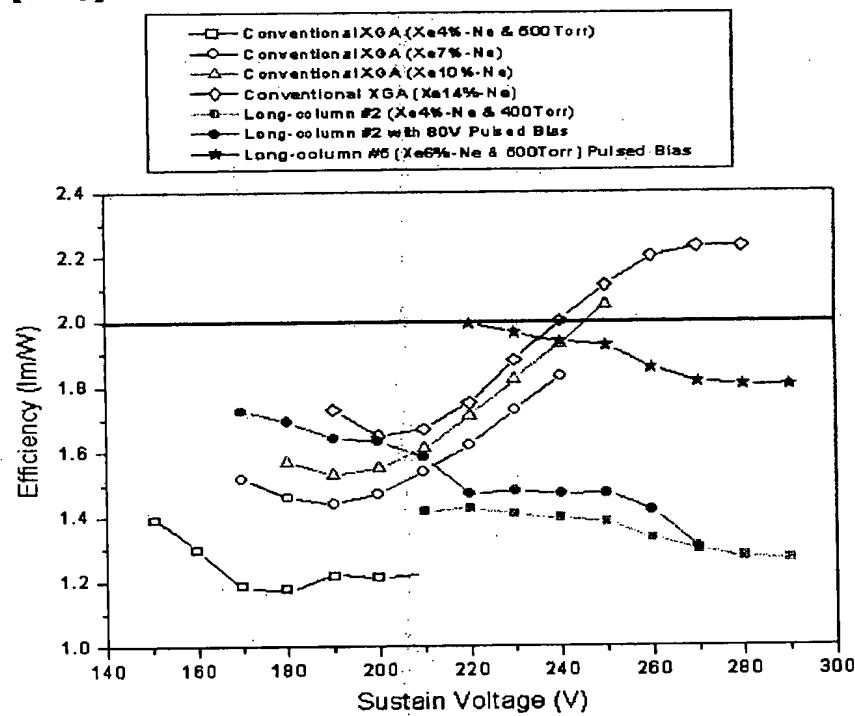
【도 7b】



【도 7c】



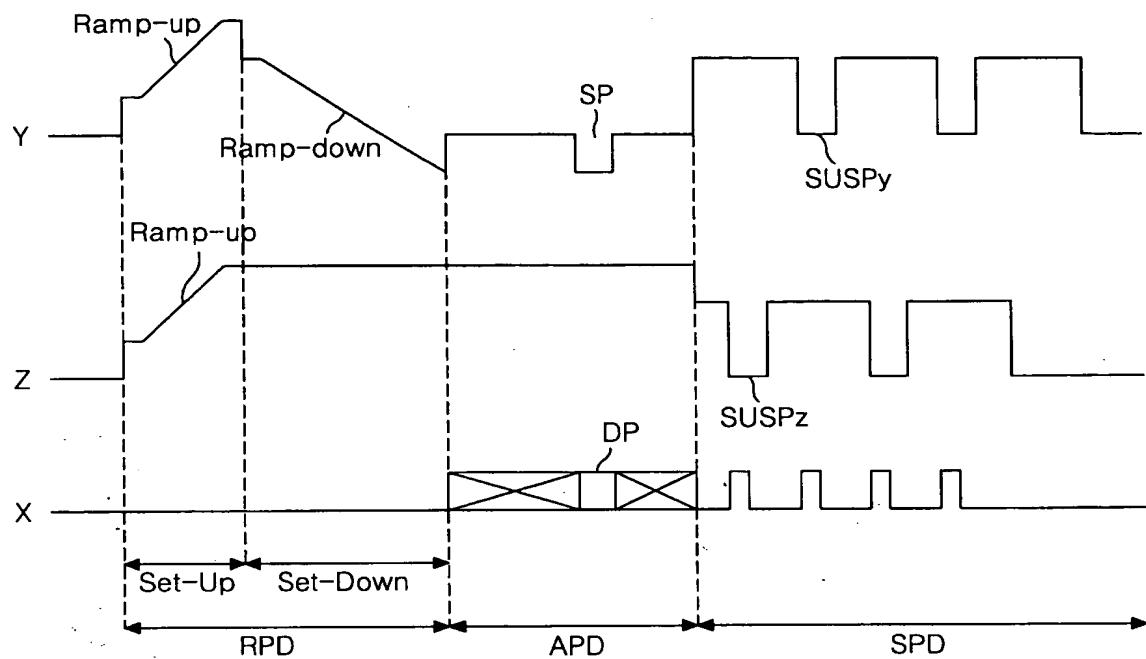
【도 8】



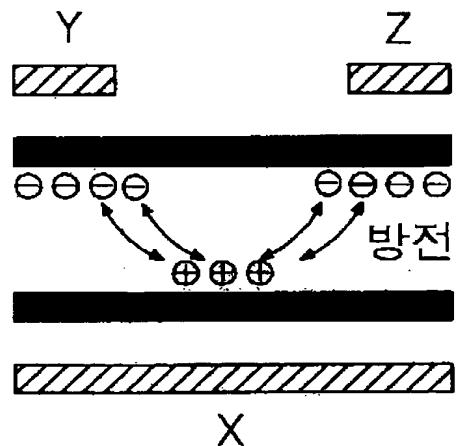
1020030020536

출력 일자: 2004/2/24

【도 9】



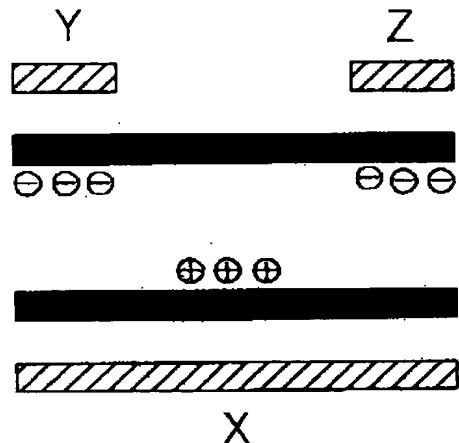
【도 10a】



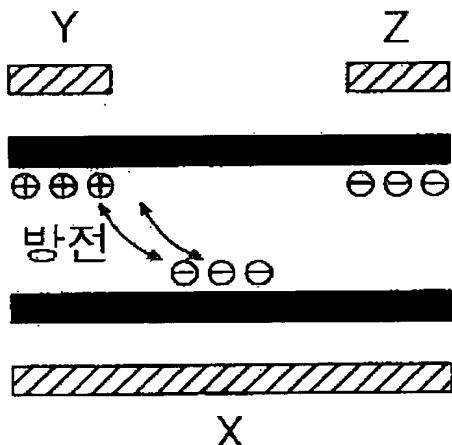
1020030020536

출력 일자: 2004/2/24

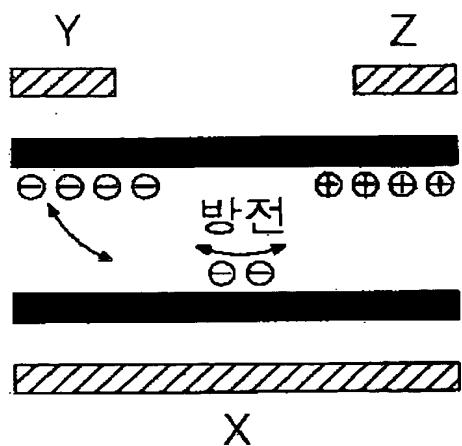
【도 10b】



【도 10c】



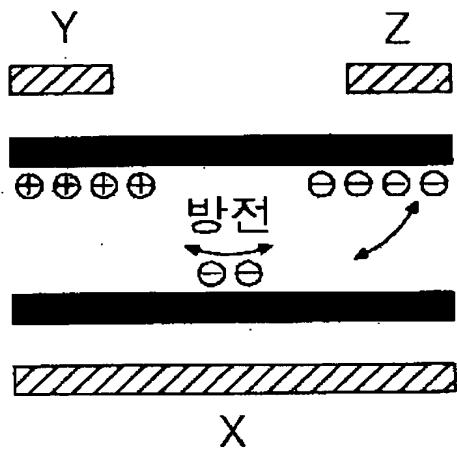
【도 10d】



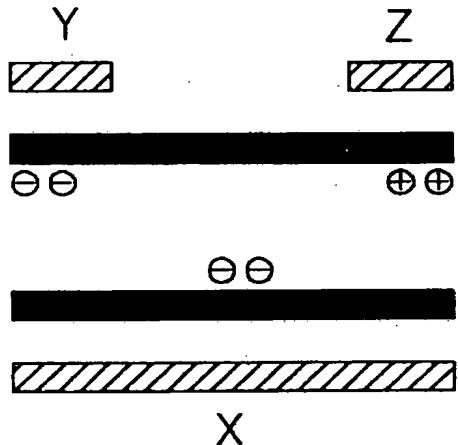
1020030020536

출력 일자: 2004/2/24

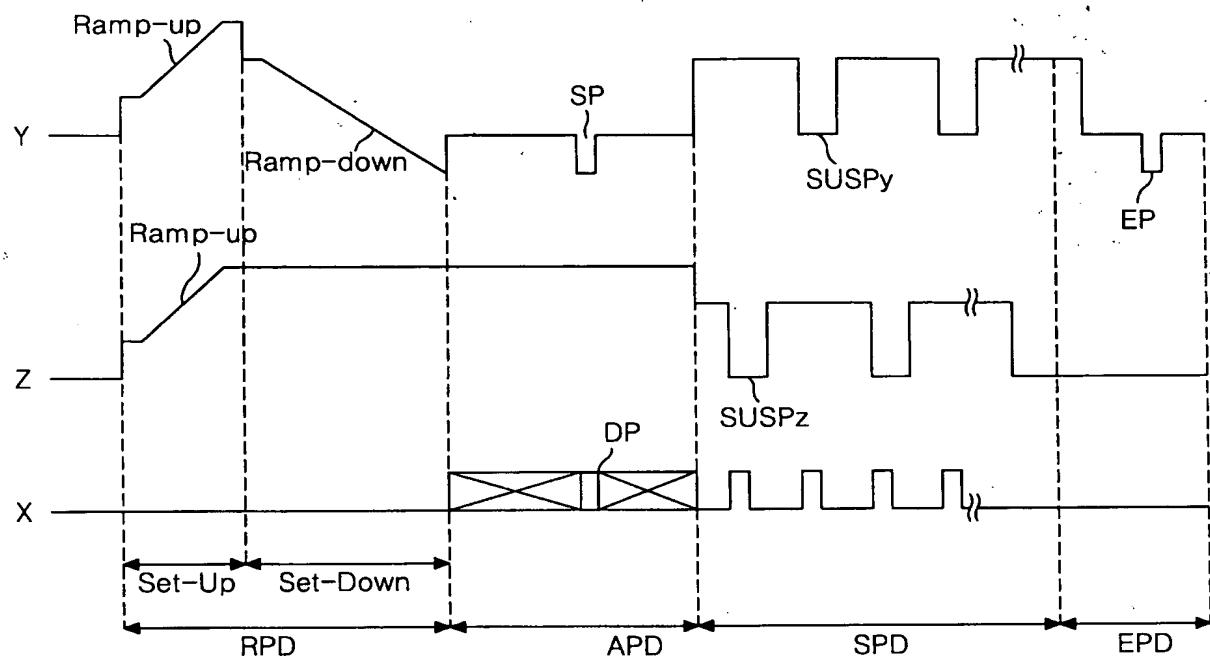
【도 10e】



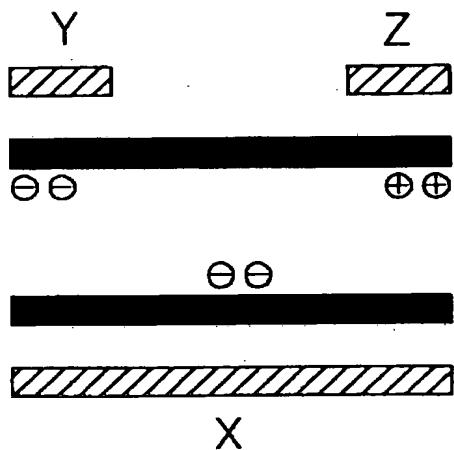
【도 10f】



【도 11】



【도 12a】

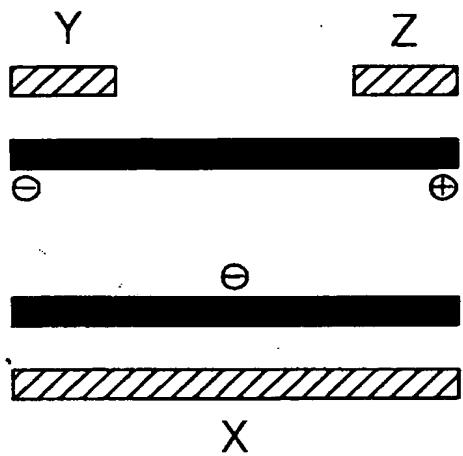




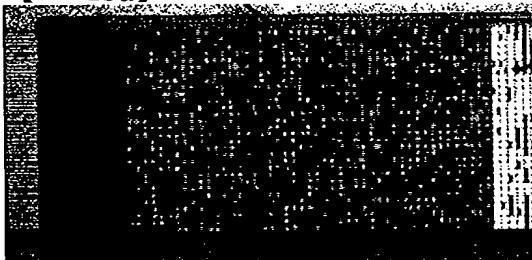
1020030020536

출력 일자: 2004/2/24

【도 12b】



【도 13a】



【도 13b】



